

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-068666
 (43)Date of publication of application : 07.03.2003

(51)Int.Cl.

H01L 21/265
 H01L 21/336
 H01L 29/78
 H01L 29/786

(21)Application number : 2001-260180

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 29.08.2001

(72)Inventor : MURAKAWA EMI

SATO SHINICHI

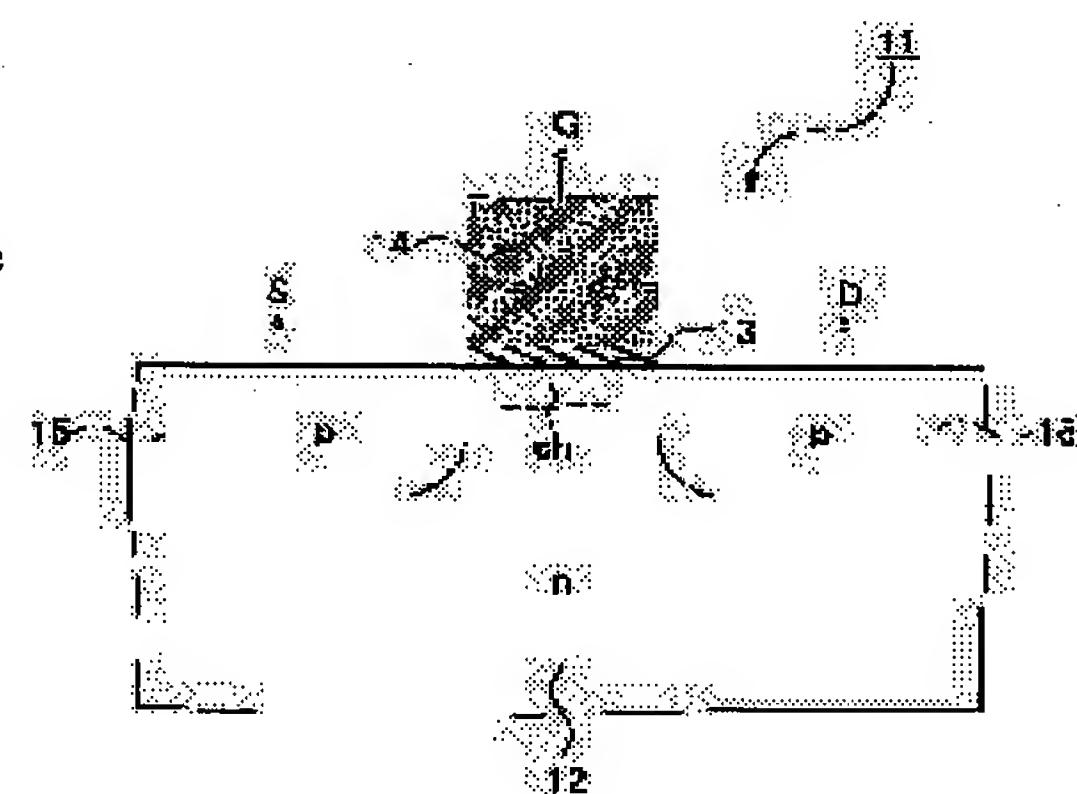
NAKANISHI TOSHIO

(54) METHOD AND DEVICE FOR PRODUCING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and an apparatus for producing semiconductor device, with which reliability is improved.

SOLUTION: An impurity diffused layer, comprising a source region 15 and a drain electrode 16 of a pMOS 11, is formed very shallow to about 50 nm. The very shallow impurity diffused layer is formed, by executing an annealing process using RLSA plasma, after an ion implantation process at low energy. In the annealing process, only silicon atoms close to the surface of a silicon wafer 12 are selectively excited, and the diffusion of impurity in the depth direction is suppressed.



LEGAL STATUS

[Date of request for examination] 06.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-68666

(P2003-68666A)

(43)公開日 平成15年3月7日 (2003.3.7)

(51)Int.Cl.⁷

H 01 L 21/265
21/336
29/78
29/786

識別記号

6 0 2

F I

H 01 L 21/265
29/78

テ-マコト^{*} (参考)

6 0 2 Z 5 F 1 1 0
3 0 1 S 5 F 1 4 0
6 1 6 L

審査請求 未請求 請求項の数 7 OL (全 8 頁)

(21)出願番号

特願2001-260180(P2001-260180)

(22)出願日

平成13年8月29日 (2001.8.29)

(71)出願人 000219967

東京エレクトロン株式会社
東京都港区赤坂5丁目3番6号

(72)発明者 村川 恵美

東京都港区赤坂5丁目3番6号 東京エレ
クトロン株式会社内

(72)発明者 佐藤 純一

東京都港区赤坂5丁目3番6号 東京エレ
クトロン株式会社内

(74)代理人 100095407

弁理士 木村 満

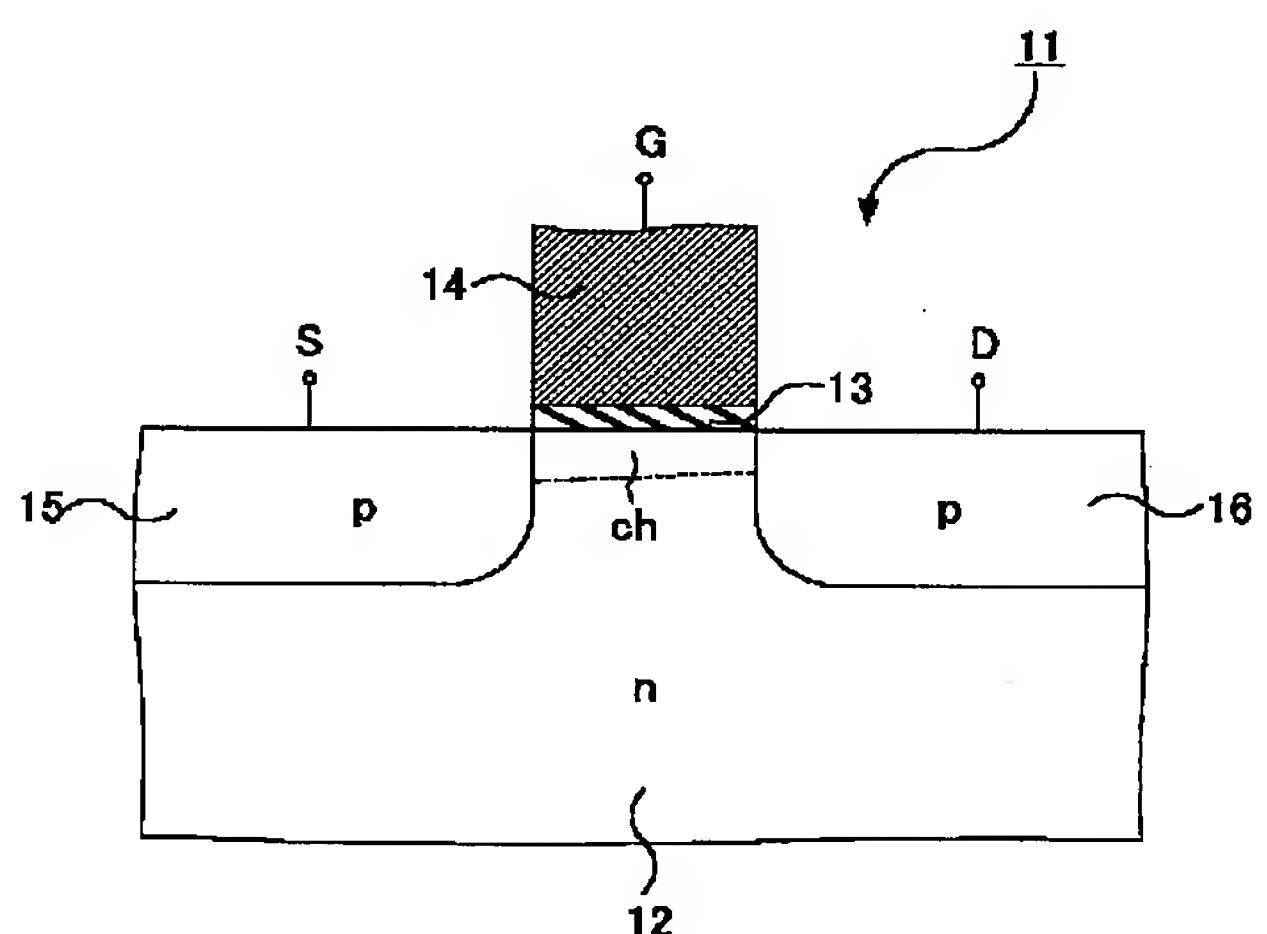
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び製造装置

(57)【要約】

【課題】 信頼性の高い半導体装置の製造方法および製造装置を提供する。

【解決手段】 p MOS 11 のソース領域 15 およびドレイン電極 16 を構成する不純物拡散層を 50 nm 程度の極浅に形成する。極浅の不純物拡散層は、低エネルギーでのイオン打ち込み工程の後、RLSA プラズマを用いたアニール工程を行うことにより形成される。アニール工程では、RLSA プラズマにより、シリコン基板 12 表面近傍のシリコン原子のみが選択的に励起され、深さ方向への不純物拡散は抑制される。



(2)

1

【特許請求の範囲】

【請求項 1】所定のガスに、複数のスリットを有する平面アンテナ部材から所定周波数のマイクロ波を照射してプラズマを生成するプラズマ生成ステップと、生成したプラズマ中の活性種を、予め不純物がドーピングされた基板に照射し、当該不純物を活性化して、不純物拡散層を形成する拡散層形成ステップと、を備えることを特徴とする半導体装置の製造方法。

【請求項 2】前記拡散層形成ステップは、前記基板を所定温度に加熱しながら、前記活性種を照射することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】前記基板は、前記不純物が前記基板の表面から 50 nm の深さにドーピングされており、前記拡散層形成ステップは、前記不純物を活性化して、前記基板表面から 50 nm 以下の深さの不純物拡散層を形成する、ことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】前記ガスは、アルゴン (Ar) 、クリプトン (Kr) 、キセノン (Xe) のいずれか 1 つ、あるいはこれらの組合せである、ことを特徴とする請求項 1、2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】前記ガスは、さらに、水素 (H₂) を含む、ことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】前記ガスは、さらに、酸素 (O₂) を含む、ことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】チャンバと、前記チャンバに所定のガスを供給するガス供給部と、所定の導波路を介してマイクロ波を受信し、複数のスリットから当該マイクロ波を放射する平面アンテナと、前記平面アンテナに対向して配置され、予め不純物がドーピングされた被処理基板を所定のバイアス電圧を印加した状態で載置すると共に当該被処理基板を加熱する基板保持部と、前記チャンバ内の圧力を所定範囲に保持する減圧排気部と、前記ガス供給部により前記チャンバ内に供給させた前記ガスを前記平面アンテナからのマイクロ波によりプラズマ化し、当該プラズマ中の活性種を前記基板保持部に載置された前記被処理基板に照射する制御手段と、を備え、

前記制御手段は、前記基板保持部により所定のバイアス電圧を被処理基板に印加して、前記活性種により前記被処理基板の表面を励起し、前記被処理基板にドーピングされている前記不純物を活性化して、不純物拡散層を形成する、ことを特徴とする半導体装置の製造装置。

2

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び製造装置に関する。

【0002】

【従来の技術】近時、IC (Integrated Circuit) の高集積化及び高密度化の要請から、回路素子の微細化が重要な課題となっている。特に、MOS (Metal-Oxide Semiconductor) トランジスタでは、0.1 μm 程度以上の微細化を進めると、短チャネル効果が顕著になり、閾値電圧の低下やオフ特性の劣化等の問題が生じる。MOS の短チャネル効果を防止するには、ソースおよびドレイン領域のそれぞれを構成する不純物拡散層を浅く形成することが有効である。

【0003】不純物拡散層の形成は、通常、イオン化した不純物を基板の表面領域に注入するイオン注入工程と、不純物が注入された基板の表面領域を加熱し、イオン注入により発生した格子欠陥を回復させるとともに、注入した不純物を結晶格子位置に納めて、電気的に活性化させるアニール工程と、から構成される。ここで、浅い不純物拡散層の形成は、イオン注入工程において、注入エネルギーを下げて不純物を注入することにより行われる。

【0004】イオン注入工程後のアニール工程では、ランプ、レーザ等の光源から光を、イオン注入した基板に照射して、1000 °C 程度の高温まで急速に加熱する急速熱処理法が用いられる。急速熱処理法 (RTA) では、基板表面のみを選択的に加熱することができるの 20 で、100 °C / 秒程度での高速の加熱が可能となり、10 秒程度での短時間処理が可能となる。

【0005】

【発明が解決しようとする課題】しかし、RTA を用いて、高温、短時間のアニールを行った場合でも、不純物の拡散を完全に抑えることはできない。このような不純物の拡散は、不純物打ち込み層がある程度深ければ許容範囲である。しかし、例えば、打ち込み層の深さが 50 nm 程度の極浅である場合には、加熱により打ち込み層の深さよりも深く拡散する不純物の量が無視できなくなる。

【0006】これは、RTA を用いた場合でも、上記のような極浅の深さ以上の深さで、基板が加熱されるからである。すなわち、加熱により、打ち込み層よりも深い場所のシリコン結晶が励起され、不純物がその結晶中に移動 (拡散) する。このように不純物が拡散して活性化することにより、実質的な拡散深さは有意な程度まで増大し、短チャネル効果が防止されないなど、MOS の信頼性を低下させる。

【0007】以上のように、極浅の不純物拡散層を形成するには、基板表面の極浅領域のシリコン結晶のみを選択的に加熱 (励起) することが必要となる。しかし、こ

50

(3)

3

のような技術は、従来無かった。

【0008】本発明は、上記実状に鑑みてなされたもので、信頼性の高い半導体装置の製造方法及び製造装置に関する。また、本発明は、極浅の拡散層を信頼性高く形成することが可能な半導体装置の製造方法および製造装置に関する。さらに、本発明は、基板表面のシリコン結晶を選択的に励起することが可能な半導体装置の製造方法および製造装置に関する。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点に係る半導体装置の製造方法は、所定のガスに、複数のスリットを有する平面アンテナ部材から所定周波数のマイクロ波を照射してプラズマを生成するプラズマ生成ステップと、生成したプラズマ中の活性種を、予め不純物がドーピングされた基板に照射し、当該不純物を活性化して、不純物拡散層を形成する拡散層形成ステップと、を備えることを特徴とする。

【0010】上記構成において、前記拡散層形成ステップは、前記基板を所定温度に加熱しながら、前記活性種を照射することが望ましい。

【0011】上記構成において、例えば、前記基板は、前記不純物が前記基板の表面から50nmの深さにドーピングされており、前記拡散層形成ステップは、前記不純物を活性化して、前記基板表面から50nm以下の深さの不純物拡散層を形成する。

【0012】上記構成において、前記ガスは、例えば、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)のいずれか1つ、あるいはこれらの組合せである。

【0013】上記構成において、前記ガスは、さらに、水素(H₂)を含んでもよい。

【0014】上記構成において、前記ガスは、さらに、酸素(O₂)を含んでもよい。

【0015】上記目的を達成するため、本発明の第2の観点にかかる半導体装置の製造装置は、チャンバと、前記チャンバに所定のガスを供給するガス供給部と、所定の導波路を介してマイクロ波を受信し、複数のスリットから当該マイクロ波を放射する平面アンテナと、前記平面アンテナに対向して配置され、予め不純物がドーピングされた被処理基板を所定のバイアス電圧を印加した状態で載置すると共に当該被処理基板を加熱する基板保持部と、前記チャンバ内の圧力を所定範囲に保持する減圧排気部と、前記ガス供給部により前記チャンバ内に供給させた前記ガスを前記平面アンテナからのマイクロ波によりプラズマ化し、当該プラズマ中の活性種を前記基板保持部に載置された前記被処理基板に照射する制御手段と、を備え、前記制御手段は、前記基板保持部により所定のバイアス電圧を被処理基板に印加して、前記活性種により前記被処理基板の表面を励起し、前記被処理基板にドーピングされている前記不純物を活性化して、不純物拡散層を形成する、ことを特徴とする。

4

【0016】

【発明の実施の形態】本発明の実施の形態にかかる半導体装置の製造方法及び製造装置について、以下図面を参照して説明する。

【0017】本発明の実施の形態に係る半導体装置の製造方法によれば、例えば、pチャネル型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) が製造される。図1に、本実施の形態の半導体装置の製造方法を用いて製造されるpチャネルMOS (以下、pMOS) 11の構造を示す。

【0018】図1に示すように、pMOS 11は、シリコン基板12と、ゲート絶縁膜13と、ゲート電極14と、から構成される。

【0019】シリコン基板12は、エピタキシャル成長等により形成されたn型の基板である。シリコン基板12は、SOI (Silicon On Insulator) 基板であってもよい。

【0020】ゲート絶縁膜13は、シリコン基板12上に形成されている。ゲート絶縁膜13は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、ならびに、これらと酸化タンタル等の高誘電率膜との積層膜等から構成される。ゲート絶縁膜13は、例えば、2~5nm (20Å~50Å) の厚さで設けられる。

【0021】ゲート電極14は、ゲート絶縁膜13上に積層されている。ゲート電極14は、不純物の導入されたポリシリコン、アルミニウム等から構成される。ゲート電極14は、例えば、0.1μm~0.3μm (1000Å~3000Å) の厚さで設けられる。

【0022】シリコン基板12の表面領域の、ゲート絶縁膜13の両側には、ソース領域15と、ドレイン領域16と、が形成されている。ソース領域15およびドレイン領域16は、n型のシリコン基板12にp型の不純物を導入して形成された、p型の不純物拡散領域である。

【0023】ソース領域15およびドレイン領域16は、それぞれ、図示しないソース電極およびドレイン電極に接続されている。ゲート電極14に所定の電圧(ゲート電圧)が印加された際には、シリコン基板12の表面領域に反転層、すなわち、チャネル(ch)が形成される。ソース電極およびドレイン電極に所定の電圧が印加されている場合には、チャネル(ch)を介して、ソース領域15とドレイン領域16との間に電流が流れれる。

【0024】ここで、ソース領域15およびドレイン領域16を形成する不純物拡散層は、それぞれ、基板の深さ(厚さ)方向に、例えば、2nm~50nm (20Å~500Å) 以下の深さで極浅に形成されている。上記極浅の不純物拡散層は、p型の不純物(例えば、ホウ素)のイオン注入、プラズマドーピング等によるイオン打ち込み(不純物導入)、引き続くアニール処理と、に

(4)

5

よって形成される。アニール処理は、後述するラジアルラインスロットアンテナ (Radial Line Slot Antenna: RLSA) を用いたマイクロ波プラズマを用いて形成される。

【0025】次に、本発明の実施の形態に係る半導体装置 (pMOS11) の製造方法について図面を参照して説明する。

【0026】図2に、半導体装置の製造に用いる製造装置100の構成を示す。図2に示すように、製造装置100は、カセットステーション101と、処理ステーション102と、から構成される。

【0027】カセットステーション101は、カセットステージ103と、搬送室104と、を備える。カセットステージ103には、所定枚数の半導体ウェハ (以下、ウェハW) を収容可能なカセットCが載置される。カセットステージ103には、未処理のウェハWを収容したカセットCが載置される一方で、処理後のウェハWを収容したカセットCがカセットステージ103から搬出される。

【0028】搬送室104には、1対のローダアーム105、106が配置されている。ローダアーム105、106は、カセットCに収容されたウェハWを処理ステーション102側に搬入する一方で、処理ステーション102側から処理後のウェハWを搬出し、カセットCに収容する。搬送室104の内部は、清浄空気のダウンフローにより清浄に保たれている。

【0029】処理ステーション102は、真空プラットフォーム107と、2基のロードロックユニット108、109と、2基のドーピングユニット110、111と、2基のアニールユニット112、113と、から構成される。

【0030】略六角形の真空プラットフォーム107の周囲には、ゲートバルブを介して各ユニットが連結または遮断自在に接続されている。すなわち、処理ステーション102は、クラスター型のシステムを構成している。真空プラットフォーム107は排気機構を備え、所定の真空状態まで減圧可能となっている。また、ゲートバルブによって隔絶された各ユニットは、それぞれが排気機構を備え、その内部に真空プラットフォーム107とは独立した雰囲気を形成可能となっている。

【0031】真空プラットフォーム107の中央には、一対の搬送アーム114、115が設けられ、各ユニット間におけるウェハWの搬送を行う。

【0032】ロードロックユニット108、109は、カセットステーション101の搬送室104に、連結または遮断自在に接続されている。ロードロックユニット108、109は、処理ステーション102へのウェハ搬入用ポート、および、ウェハ搬出用のポートとして機能する。ローダアーム105、106は、カセットステージ103上のカセットCに収容されたウェハWをロー

6

ドックユニット108、109内に搬入する。また、ローダアーム105、106は、ロードロックユニット108、109から、処理後のウェハWを搬出し、カセットCに収容する。

【0033】ドーピングユニット110、111は、一般的な、低エネルギーイオン注入装置、プラズマドーピング装置等から構成される。ドーピングユニット110、111において、シリコン基板12 (ウェハW) に選択的にp型の不純物を導入し、不純物打ち込み層を形成する。

【0034】不純物導入は、例えば、ゲート電極14をマスクとして自己整合的に行う。不純物導入は、例えば、 $1 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、例えば、2 nm~50 nm (20 Å~500 Å) の拡散深さで行う。p型の不純物としては、ホウ素 (B)、インジウム (In) 等を用いることができる。

【0035】アニールユニット112、113は、ラジアルラインスロットアンテナ (Radial Line Slot Antenna: RLSA) 型のプラズマ処理装置である。アニールユニット112、113は、マイクロ波エネルギーを用いて処理ガスのプラズマを発生させ、このプラズマにより、ドーピング後のシリコン基板12の表面をアニールする。

【0036】図3に、アニールユニット112、113の断面構成を示す。図3に示すように、アニールユニット112、113は、略円筒形のチャンバ201を備える。チャンバ201は、アルミニウム等から構成されている。

【0037】チャンバ201内部の中央には、被処理体であるウェハWの載置台202が配置されている。載置台202には、図示しない温調部が内蔵されており、温調部により、ウェハWは所定温度、例えば、室温~600°Cに加熱される。

【0038】また、載置台54は、所定の電圧を印加するための回路を有し、この回路により、プラズマ中のイオンを加速するためのバイアス電圧 (例えば、-50V~0V程度、好ましくは、-20V~0V) をウェハWに印加する。

【0039】チャンバ201の側壁には、載置台202の上面とほぼ同じ高さに、搬入出口203が設けられている。搬入出口203は、ゲートバルブ204を介して真空プラットフォーム107と接続している。ゲートバルブ204の開放時には、搬入出口203を介して、ウェハWの搬入出が行われる。

【0040】チャンバ201の底部には、排気管205の一端が接続されており、他端は、真空ポンプ等の排気装置206に接続されている。排気装置206等により、処理時のチャンバ201の内部は、40Pa~0.13kPa (30mTorr~1Torr) とされる。

【0041】チャンバ201の側部上方には、ガス供給

(5)

7

管207が設けられている。ガス供給管207は、アルゴン(Ar)ガス源208および窒素(N₂)ガス源209に接続されている。ガス供給管207は、チャンバ201の側壁の周方向に沿って、例えば、16カ所に均等に配置されている。このように配置されることにより、ガス供給管207から供給されるガスは、載置台202上のウェハWの上方に均等に供給される。

【0042】チャンバ201の上部には、開口210が設けられている。開口210の内側には、窓211が設けられている。窓211は、透過性材料、例えば、石英、SiO₂系のガラス、Si₃N₄、NaCl、KC1、LiF、CaF₂、BaF₂、Al₂O₃、AlN、MgOなどの無機物、また、ポリエチレン、ポリエチル、ポリカーボネート、セルロースアセテート、ポリプロピレン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミドなどの有機物のフィルム、シート、から構成されている。

【0043】窓211の上には、例えば、ラジアルラインスロットアンテナ(以下、RLSA)212が設けられている。RLSA212の上には、高周波電源部213に接続された導波路214が設けられている。導波路214は、RLSA212に下端が接続された扁平な円形導波管215と、円形導波管215の上面に一端が接続された円筒型導波管216と、円筒型導波管216の上面に接続された同軸導波変換器217と、同軸導波変換器217の側面に直角に一端が接続され、他端が高周波電源部213に接続された矩形導波管218と、から構成されている。RLSA212および導波路214は、銅板から構成されている。

【0044】円筒型導波管216の内部には、同軸導波管219が配置されている。同軸導波管219は、導電性材料よりなる軸部材からなり、その一端がRLSA212の上面のほぼ中央に接続され、他端が円筒型導波管216の上面に同軸状に接続されている。

【0045】図4にRLSA212の平面図を示す。図4に示すように、RLSA212は、同心円上に設けられた複数のスロット212a, 212a, …を表面に備える。各スロット212aは略方形の貫通した溝であり、隣接するスロット212aどうしは互いに直交して略Tの文字を形成するように配設されている。スロット212aの長さや配列間隔は、高周波電源部213より発生した高周波の波長に応じて決定されている。

【0046】高周波電源部213は、例えば、2.45GHzのマイクロ波を、500W～5kWの出力で発生する。高周波電源部213から発生したマイクロ波は、矩形導波管218内を矩形モードで伝送される。さらに、マイクロ波は、同軸導波変換器217にて矩形モードから円形モードに変換され、円形モードで円筒型導波管216に伝送される。マイクロ波は、さらに、円形導波管215にて拡げられた状態で伝送され、RLSA2

8

12のスロット212aより放射される。放射されたマイクロ波は、窓211を透過してチャンバ201に導入される。

【0047】チャンバ201内は、所定の真空圧力にされており、ガス供給管207から、ArおよびN₂の混合ガスが、例えば、Ar/N₂=2000(sccm):200(sccm)で、チャンバ201内に供給される。ここで、流量比は、Ar/N₂=2000:20, 1000/100としてもよい。

【0048】窓211を透過したマイクロ波により、チャンバ201内の混合ガスに高周波エネルギーが伝達され、高周波プラズマが発生する。この際、マイクロ波をRLSA212の多数のスロット212aから放射しているので、高密度のプラズマが生成される。ここで、RLSA212を用いて形成されるプラズマ中の活性種は、0.7～2eV程度の電子温度を有する。このように、RLSA212によれば、活性の比較的穏やかなプラズマ活性種が生成される。

【0049】生成された高密度プラズマへの曝露により、ウェハW表面のアニールが行われる。すなわち、生成したプラズマ中の活性種、特に、Arイオンが、ウェハW表面のシリコン原子に接触、衝突して、基板表面のシリコン原子にエネルギーを与える。与えられたエネルギーは、シリコン基板12表面のシリコン原子から、より深い位置にあるシリコン原子へと伝達される。このようなエネルギー伝達により、所定深さのシリコン原子(結晶)が励起する。

【0050】不純物打ち込み層においても同様に、シリコン結晶の励起が生じる。励起により、打ち込み(ドーピング)により乱されたシリコン結晶の再配列(再結晶化)が起こる。これにより、打ち込み層の格子欠陥が低減または消失する。

【0051】このとき、結晶格子の再配列と同時に、ドーピングにより導入された不純物(B等)のうち、所定の結晶格子位置に配置されていなかったものも、結晶格子位置に納まり、ドーパントとして活性化される。これにより、所望の電気的特性を安定に備える不純物拡散層(ソース領域15およびドレイン領域16)が得られる。

【0052】ここで、上述したように、RLSAを用いて生成されたプラズマ活性種は、比較的低いエネルギーを有する。このため、シリコン基板12表面へのダメージは避けられる。また、活性種によってシリコン結晶に付与されるエネルギーは、伝達過程においてシリコン結晶の再配列等で消費され、表面から所定深さ以上の深さにあるシリコン原子には伝達されない。

【0053】このことから、プラズマの生成条件を適当に調節して、打ち込み層の深さ(50nm程度)のシリコン原子を選択的に励起させる一方、それ以上の深さの原子は励起させない程度のエネルギーを有する活性種を

50

(6)

9

生成することにより、打ち込み層以上の深さにおける不純物の拡散を抑えることができる。

【0054】以下、本実施の形態にかかる半導体装置の製造方法について、図2を参照して説明する。

【0055】まず、所定枚数のウェハWを収容したカセットCがカセットステージ103上に載置される。ウェハWには、シリコン基板12上にゲート絶縁膜13とゲート電極14とが積層されて形成されている。ローダーム105、106は、カセットCからウェハWを取り出し、ロードロックユニット108、109に搬入する。

【0056】搬入後、ロードロックユニット108、109の内部は、気密とされ、真空プラットフォーム107の内部に近い圧力とされる。その後、ロードロックユニット108、109は、真空プラットフォーム側に開放される。次いで、搬送アーム114、115は、ロードロックユニット108、109からウェハWを搬出する。

【0057】搬送アーム114、115は、ウェハWをドーピングユニット110、111に搬入する。搬入後、ゲートバルブが閉鎖され、ドーピングユニット110、111内は、所定の圧力とされる。その後、ウェハWに対してゲート電極14をマスクとして自己整合的に不純物導入が行われる。これにより、ゲート電極14の近傍にソース領域15およびドレイン領域16が形成される。ドーピングの終了後、ドーピングユニット110、111内は元の圧力とされ、ゲートバルブが開放される。搬送アーム114、115は、処理後のウェハWを搬出する。

【0058】次いで、ウェハWは、アニールユニット112、113内へ搬入される。搬入後、ゲートバルブが閉鎖され、アニールユニット112、113内は所定の圧力とされる。アニールユニット112、113にて、RLSAプラズマによるアニール処理がウェハWに施される。これにより、不純物の拡散が抑えられ、不純物拡散層の深さを極浅に保持した状態で、ウェハWの表面領域は安定化される。アニール処理の終了後、アニールユニット112、113内は元の圧力とされ、ゲートバルブが開放される。搬送アーム114、115は、処理後のウェハWを搬出する。

【0059】アニール処理後のウェハWは、ロードロックユニット108、109内に搬送される。その後、ウェハWは、ロードロックユニット108、109への搬入時と逆の工程に従って、カセット74に収容される。処理後のウェハWを所定枚数収容したカセットCは、半導体製造装置100から搬出される。処理後のウェハWに対しては、次いで、絶縁膜の形成、ゲート・ドレイン電極の形成処理が施される。以上のようにして、pMOS11の製造工程は終了する。

【0060】以上説明したように、本発明の実施の形態

10

においては、RLSA212を用いて生成したプラズマ活性種をシリコン基板12の表面に接触させて不純物拡散層をアニールしている。生成した活性種のエネルギーは、シリコン基板12表面にダメージを与えることなく、かつ、不純物拡散層の深さよりわずかに深い程度のシリコン原子のみを選択的に励起する程度のエネルギーである。

【0061】以上のように、RLSAプラズマを用いた不純物拡散層のアニールでは、基板表面から所定深さのシリコン結晶を選択的に励起させ、不純物の拡散を低く抑えることができる。従って、極浅の不純物拡散層においても、その深さは浅く保持され、短チャネル効果の防止された、信頼性の高いpMOS11が得られる。

【0062】本発明は、上記実施の形態の説明に限定されず、その応用及び変形等は任意である。

【0063】上記実施の形態では、pMOSを例として説明したが、nチャネル型のMOSであっても良い。この場合には、ドーパントとしてn型不純物、例えば、砒素、燐、アンチモン等を使用すれば、極浅にn型の不純物拡散層を形成することができる。また、MIS (Metal Insulator Semiconductor) FET、または、CMOS (Complementary MOS) FET等であっても良い。

【0064】上記実施の形態では、半導体製造装置100は、ドーピングユニット110、111と、プラズマアニールユニット112、113とを、それぞれ2つの備えるとした。しかし、半導体製造装置100を構成するユニットの数及び配置は任意である。

【0065】上記実施の形態では、アニールユニット112、113におけるアニール処理では、ArとN₂の混合ガスを用いるものとした。しかし、Arの代わりに、クリプトン(Kr)、キセノン(Xe)等を、単独で、あるいは、混合して用いてもよい。また、N₂の代わりにO₂を用いてもよい。また、H₂、O₂等を添加してもよい。特に、H₂を添加した場合、H₂から発生するHラジカルは、Siのダングリングボンドと結合し、形成されるシリコン酸化膜を安定化させ、膜質を向上させることができる。

【0066】

【発明の効果】本発明によれば、信頼性の高い半導体装置の製造方法及び製造装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置の製造方法により製造される半導体装置の断面図である。

【図2】本発明の実施の形態に係る半導体装置の製造装置の構成を示す。

【図3】本発明の実施の形態に係るアニールユニットの構造を示す図である。

【図4】本発明の実施の形態に係る平面アンテナ部材(RLSA)の構造を示す図である。

【符号の説明】

(7)

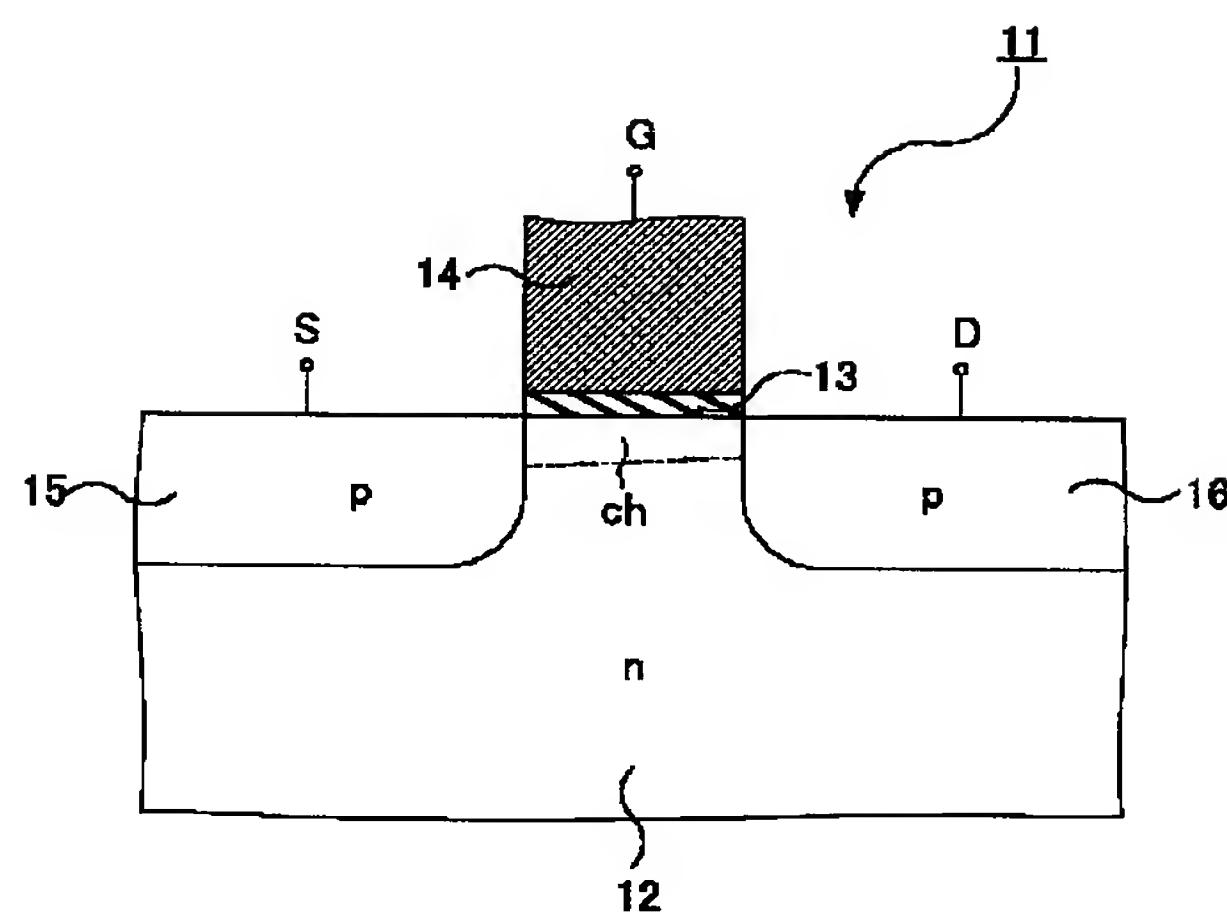
11

1 1 p M O S
 1 2 シリコン基板
 1 3 ゲート絶縁膜
 1 4 ゲート電極
 1 5 ソース領域
 1 6 ドレイン領域

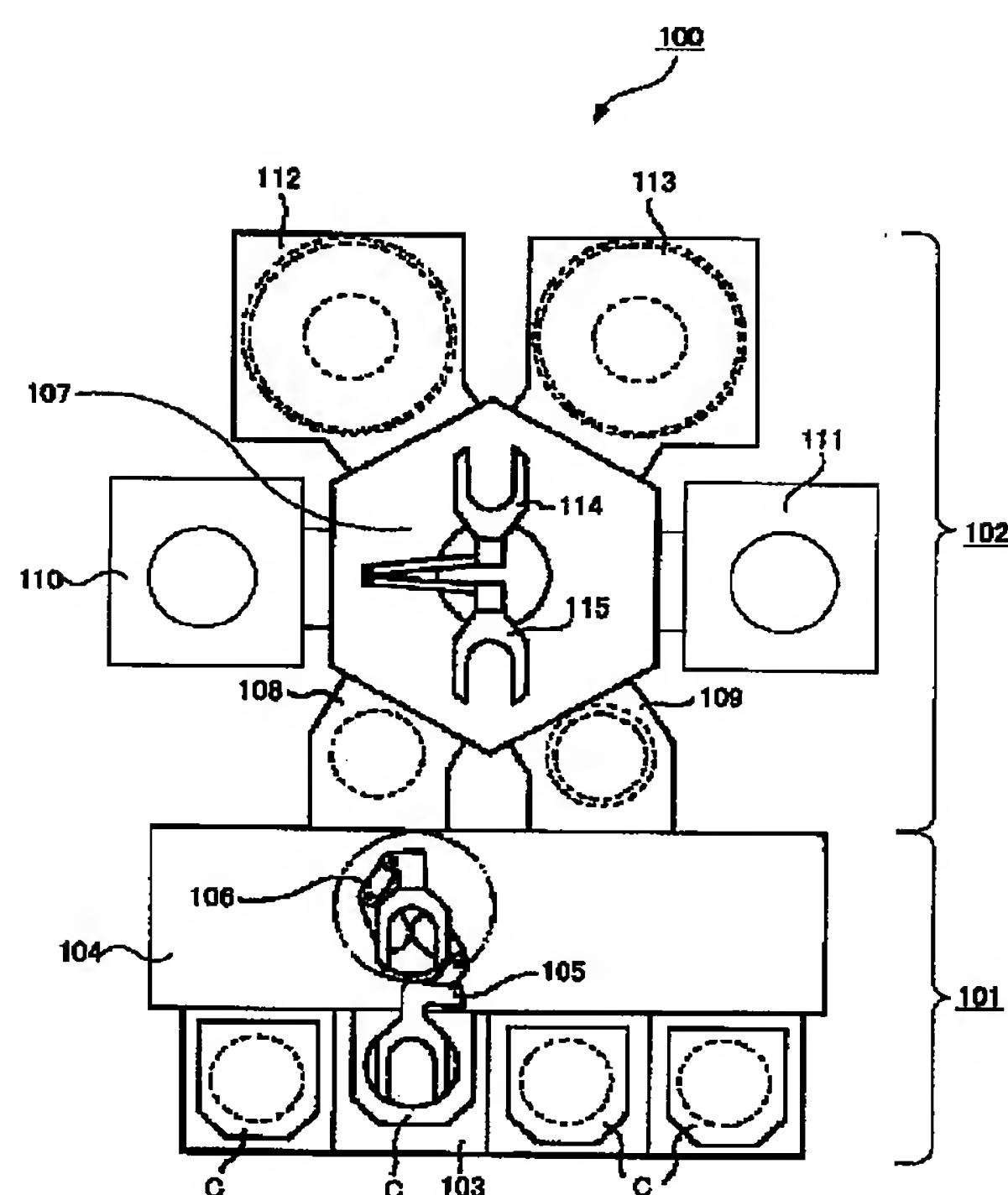
12

1 0 0 製造装置
 1 0 1 カセットステーション
 1 0 2 処理ステーション
 1 1 1 、 1 1 1 ドーピングユニット
 1 1 2 、 1 1 3 アニールユニット
 2 1 2 R L S A

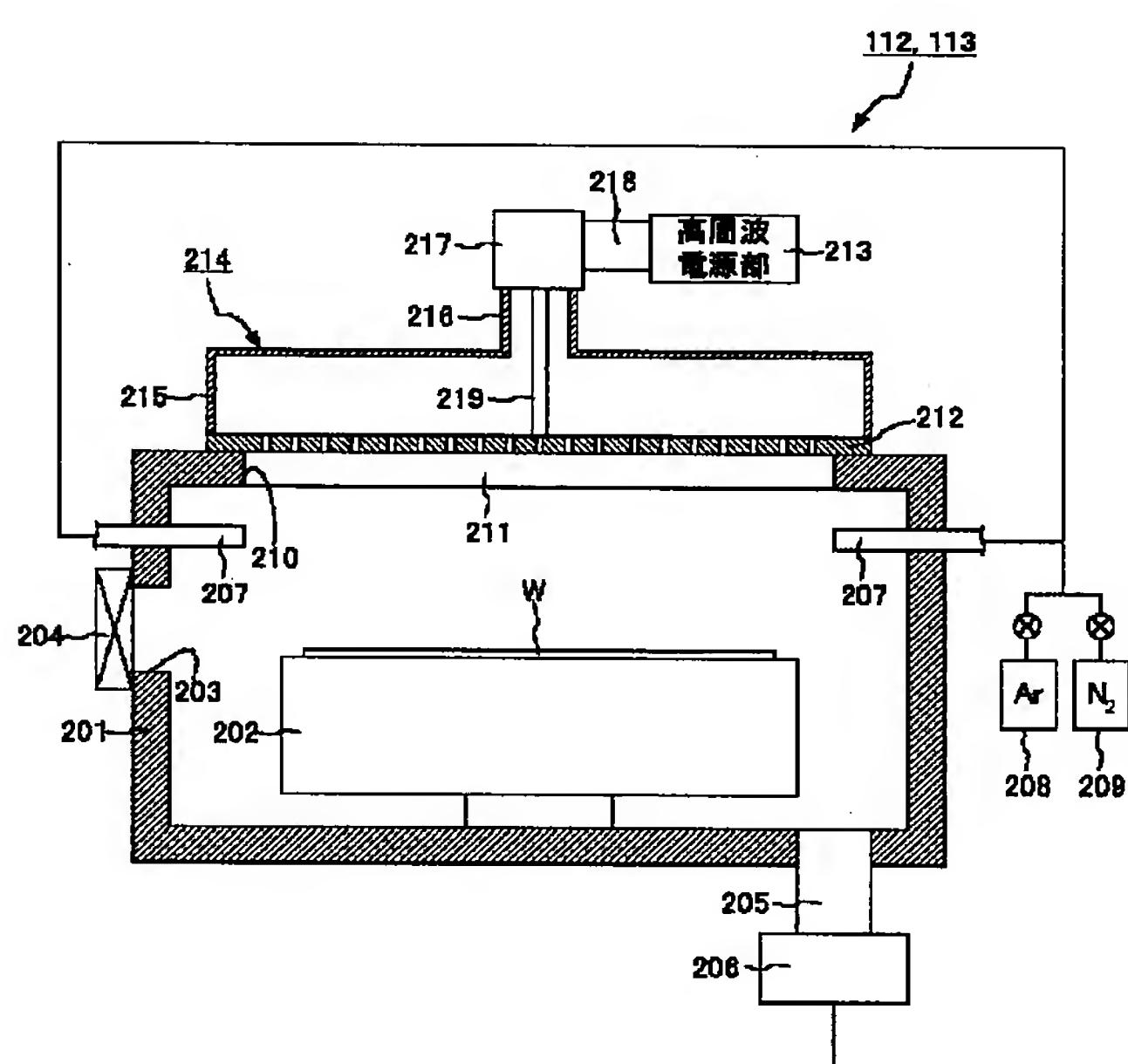
【図 1】



【図 2】

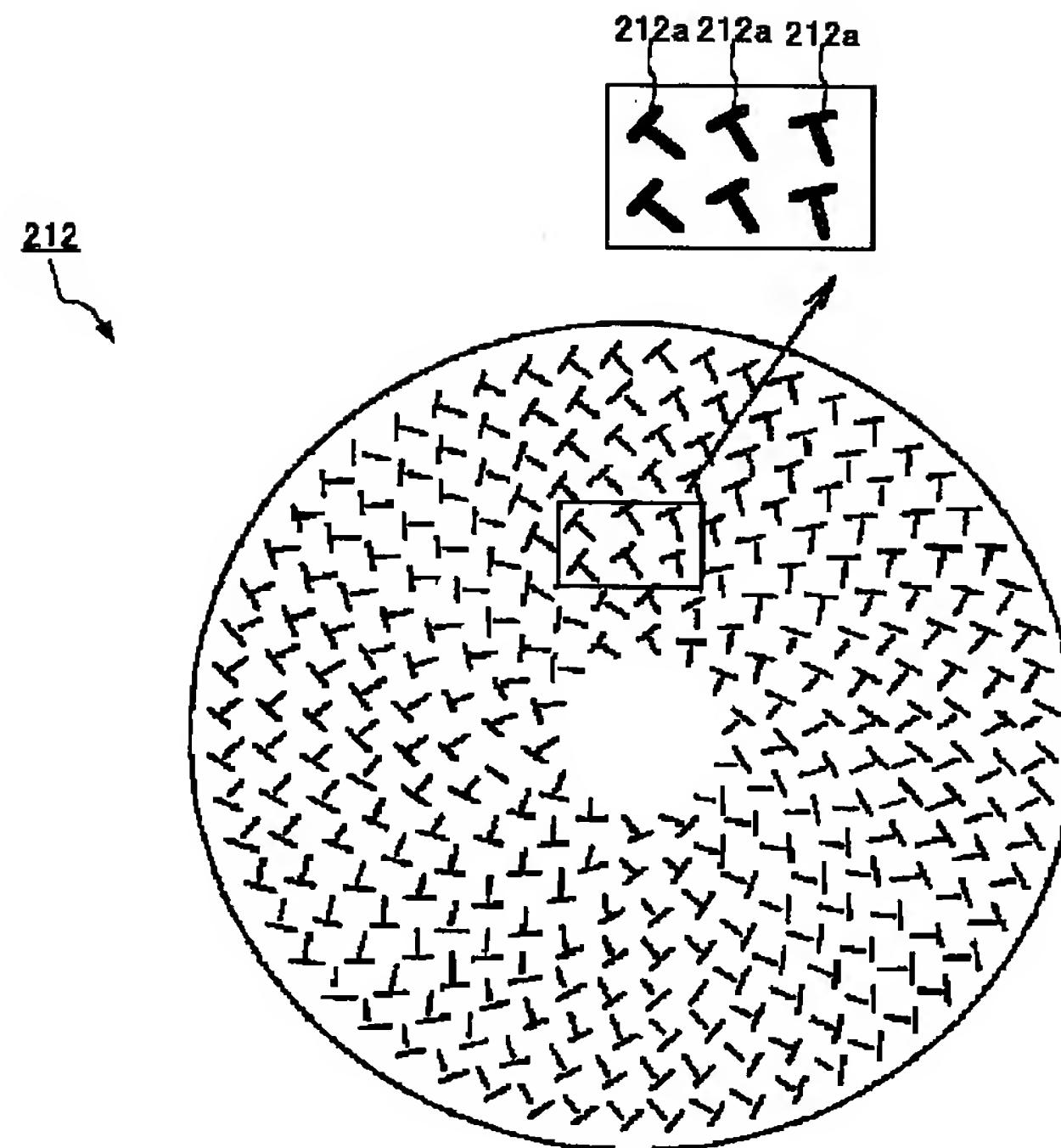


【図 3】



(8)

【図4】



フロントページの続き

(72) 発明者 中西 敏雄

東京都港区赤坂五丁目3番6号 東京エレ
クトロン株式会社内

Fターム (参考) 5F110 AA04 CC02 EE03 EE09 FF01
FF02 FF03 FF04 GG02 HJ01
HJ13 HJ18 HJ22 QQ11 QQ25
5F140 AA21 AA39 AC36 BA01 BA16
BD07 BD09 BD12 BF01 BF04
BF05 BH21 BK12 BK13 BK19
BK21